



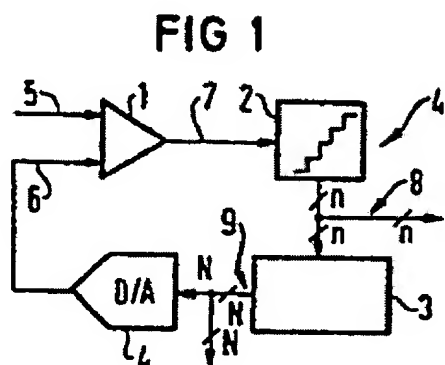


Method and apparatus for interpolative A/D conversion**Publication number:** DE3147409**Publication date:** 1983-06-01**Inventor:** GIANCARLO CHARLES H (US)**Applicant:** SIEMENS AG (DE)**Classification:****- international:** H03M1/38; H03M3/02; H03M3/04; H04B14/06;
H03M1/38; H03M3/00; H03M3/02; H04B14/02; (IPC1-7): H03K13/09**- european:** H04B14/06**Application number:** DE19813147409 19811130**Priority number(s):** DE19813147409 19811130**Also published as:** E P0080725 (A2) US 4990914 (A1) J P58104523 (A) E P0080725 (A3)[Report a data error here](#)

Abstract not available for DE3147409

Abstract of corresponding document: **US4990914**

A method for A/D conversion, which includes integrating by analog apparatus, amplifying and subsequently quantizing an analog input signal for producing a quantized signal having n bits, wherein $n > 1$, and feeding back the quantized signal to the input signal. The improvement includes integrating digitally the quantized signal by an arrangement of periodic digital summation, converting the quantized signal into an analog signal, and feeding back the analog signal to the input signal. An apparatus for carrying out the method is also disclosed.



Data supplied from the esp@cenet database - Worldwide

①⁹ BUNDESREPUBLIK
DEUTSCHLAND



⑫ **Offenlegungsschrift**
⑪ **DE 3147409 A1**

⑤ Int. Cl. 3:
H03K13/09

②① Aktenzeichen:
 ②② Anmeldetag:
 ④③ Offenlegungstag:

P 31 47 409.8
30. 11. 81
1. 6. 83

DE 31 47 409 A 1

71 Anmelder:
Siemens AG, 1000 Berlin und 8000 München, DE

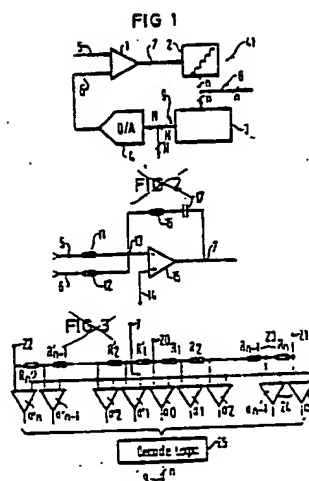
72 Erfinder: Giancarlo, Charles H., 07627 Demarest, N.J., US

Behördeneigentum:

54 Verfahren und Anordnung zur A/D-Wandlung

Die Erfindung betrifft ein Verfahren und eine Anordnung zur A/D-Wandlung, bei dem das analoge Eingangssignal (5) integriert, verstärkt und anschließend quantisiert wird und bei dem das quantisierte Signal zum Eingangssignal rückgekoppelt wird. Weiterhin wird das quantisierte Signal (8) mittels einer periodischen Summenbildung digital integriert, in ein Analogsignal (6) gewandelt und zum Eingangssignal (5) rückgekoppelt.

(31 47 409)



Patentansprüche

- ① Verfahren zur A/D-Wandlung, bei dem das analoge Eingangssignal (5) integriert, verstärkt und anschließend
5 quantisiert wird und bei dem das quantisierte Signal zum Eingangssignal rückgekoppelt wird, dadurch g e k e n n - z e i c h n e t , daß das quantisierte Signal (8) mittels einer periodischen Summenbildung digital integriert wird, in ein Analogsignal (6) gewandelt wird und
10 zum Eingangssignal (5) rückgekoppelt wird.
2. Anordnung zur Durchführung des Verfahrens nach Anspruch 1, g e k e n n z e i c h n e t durch ein von einem aus analogem Eingangssignal (5) und rückgekoppeltem Signal (6) gebildeten Differenzsignal beaufschlagtes
15 Integrations- und Verstärkungsglied (1), einen vom Integrations- und Verstärkungsglied (1) beaufschlagten, n Quantisierungsstufen ($n > 1$) aufweisenden Quantisierer(2), ein vom Quantisierer (2) beaufschlagtes Summations-
20 register (3) und ein vom Summationsregister (3) beaufschlagten, das Rückkopplungssignal (6) abgebenden D/A-Wandler (4).
3. Anordnung nach Anspruch 2, dadurch g e k e n n - z e i c h n e t , daß der Quantisierer (2) als nach dem Parallelverfahren arbeitender Wandler ausgeführt ist.
4. Anordnung nach Anspruch 2 oder 3, dadurch g e - k e n n z e i c h n e t , daß die Quantisierungs-
30 stufen des Quantisierers (2) kompariert sind.
5. Anordnung nach einem der Ansprüche 2 bis 4, dadurch g e k e n n z e i c h n e t , daß die Quantisierungsstufen des Quantisierers (2) binär gewichtet sind.

6. Anordnung nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß das Summationsregister (3) als Auf/Abwärts-Zähler ausgeführt ist.
- 5 7. Anordnung nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, daß die Quantisierungsstufen des Quantisierers (2) linear gewichtet sind.
8. Anordnung nach einem der Ansprüche 2 bis 7, dadurch gekennzeichnet, daß das Summationsregister (3) mittels eines Volladdierers (31) realisiert ist.
- 10 9. Anordnung nach einem der Ansprüche 2 bis 8, dadurch gekennzeichnet, daß das Integrations- und Verstärkungsglied (1) als Operationsverstärker (15), der mittels einer aus einem Rückkopplungswiderstand (16) und einem Rückkopplungskondensator (17) gebildeten Serienschaltung rückgekoppelt ist, ausgeführt ist.
- 20 10. Anordnung nach einem der Ansprüche 2 bis 9, dadurch gekennzeichnet, daß die Zeitkonstante des Integrations- und Verstärkungsgliedes (1) im Bereich von $\pm 20\%$ der Abtastperiode T gewählt ist, daß der Verstärkungsfaktor des Integrations- und Verstärkungsgliedes (1) im Bereich zwischen 1,2 bis 1,8 gewählt ist, daß der Verstärkungsfaktor des Quantisierers (2) im Bereich zwischen 0,5 und 1 gewählt ist und daß die Abtastrate ($1/T$) im Bereich zwischen 100 kHz und 2 MHz gewählt ist.
- 30 11. Anordnung nach einem der Ansprüche 2 bis 10, dadurch gekennzeichnet, daß der Quantisierer (2) einen Vorzeichenkomparator (a_0) und 7 bis 10 bipolare Komparatoren (24) aufweist, deren Referenzspannungen binär gewichtet sind und daß das Summationsregister (3) eine Breite von 9 bis 13 Bits und ein Vorzeichenbit aufweist.
- 35

SIEMENS AKTIENGESellschaft
Berlin und München

Unser Zeichen
VPA

81 P 1192 DE

5 Verfahren und Anordnung zur A/D-Wandlung

Die Erfindung betrifft ein Verfahren zur Analog/Digital-
(A/D)-Wandlung, bei dem das analoge Eingangssignal inte-
griert, verstärkt und anschließend quantisiert wird und
10 bei dem das quantisierte Signal zum Eingangssignal rück-
gekoppelt wird.

Entsprechende A/D-Wandler sollen trotz der Verwendung
mit relativ geringer Genauigkeit hergestellter und relativ
15 langsamer Komponenten ein hohes Signal/Rauschverhältnis
aufweisen und in konventioneller Technologie herstellbar
sein. Mögliche Anwendungen sind z. B. Codec-Filter für
Telefoniezwecke und Kodierungsfilter zur Digitalisierung
von Audio-Signalen für hochqualitative digitale Aufnahmen.
20 Unter Digitalisierung wird die Zuordnung eines numeri-
schen Codes zum Abtastwert einer analogen Wellenform, der
zu ihrer Größe proportional ist, verstanden.

A/D-Wandler können nach unterschiedlichen Methoden arbei-
25 ten, wobei die gebräuchlichsten Methoden in der Regel
den Gebrauch von sehr genau arbeitenden Komponenten er-
fordern. Um die benötigte Genauigkeit für analoge Kompo-
nenten, die für den Wandlungsprozeß benötigt werden, zu
reduzieren, wird neuerdings die Delta-Modulations-Methode
30 benutzt. Diese Delta-Modulations-Techniken erforderten
jedoch sehr hohe Abtastraten. So ist aus K. Niwa, A. Yukawa,
A. Tomozowa, "A Discretely Adaptive Delta Modulation
Codec", IEEE Transactions on Communications, Vol. Com-29,
No. 2, Feb. 1981, Seiten 168 bis 173 ein Delta-Modulations-
35 Codec bekannt, das einen sogenannten Slope-Adaptive-Kreis

im Rückkopplungskreis aufweist, der bewirkt, daß großen Steigungen des Eingangssignals auch große Pegeländerungen des Quantisierungsausgangs (und umgekehrt) entsprechen. Dieser Codec erfordert jedoch zum Betrieb des Slope-
5 Adaptive-Kreises eine sehr hohe Frequenz. Aufgrund der hohen Abtastfrequenz ist ferner die Adaption (Anpassung) quasikontinuierlich und kann daher nur relativ langsam auf einen stufenförmigen Eingangsimpuls antworten. Dieser Codec weist schließlich eingangsseitig einen analogen
10 Integrator und lediglich einen Komparator auf.

Aus T. Last, "Proportional Step Size Tracking Analog to Digital Converter", Rev. Sci. Instrum., 51 (3), Mar. 1980, Seiten 369 bis 374 ist ein A/D-Wandler bekannt, der eben-
15 falls einen Slope-Adaptive-Kreis aufweist, wobei dieser Kreis aus einem Quantisierer und einem Auf/Abwärtszähler gebildet ist. Da dieser Kreis jedoch keine Analogschaltung bzw. -funktion aufweist, wirkt er als einfacher A/D-Wandler, nicht als Delta-Modulator. Dieser Wandler führt
20 ferner eingangsseitig ebenfalls keine Integration aus und weist daher ein hohes Quantisierungsrausch-Niveau auf. Fehler in einem Modulationszyklus werden nicht rückgekoppelt, um den akkumulierten Fehler im folgenden Zyklus zu reduzieren.

25

Aus F. de Jager, "Delta Modulation a Method of PCM Transmission Using the 1-Unit Code", Phillips Res. Rept., Vol. 7, Seiten 442 bis 466, 1952, ist eine Delta-Modulation bekannt, die einen Slope-Adaptive-Modulation-Kreis
30 in Form eines analogen Integrators verwendet. Dieses System weist zwei analoge Integratoren auf, von denen einer im Eingangskreis angeordnet ist. Die Anwendung von zwei analogen Integratoren führt zu einer erheblichen Reduzierung der Toleranzen der analogen Komponenten und verursacht erhebliche Designprobleme bei der Schaffung eines
35 stabilen Kreises und ist wirtschaftlich ungünstig.

Aus J.C. Candy, "A Use of Limit Cycle Oscillations to Obtain Robust Analog to Digital Converters", IEEE Trans. on Communications, Vol. COM-22, No. 3, Mar. 1974, Seiten 298 bis 305 und B.A. Wooley, I.L. Henry, "An Integrated
5 Per-Channel PCM Encoder Based on Interpolation", IEEE Journal of Solid-State Circuits, Vol. SC-14, No. 1, Feb. 1979, Seiten 14 bis 20, sind A/D-Wandler bekannt, bei denen durch Anordnung eines Integrations- und Verstärkungsgliedes im Eingangskreis die Abtastrate reduziert
10 und das Signal/Rausch-Verhältnis erhöht wurde. Die Rückkopplung besteht jedoch aus einer direkten Rückführung der Quantisierung des Ausgangs des Integrations- und Verstärkungsgliedes, so daß die Anzahl möglicher digitaler Entsprechungen des Eingangssignals (Digital Estimates)
15 auf die Anzahl der Quantisierungsniveaus des Quantisierers reduziert ist. Die Schaltung ist ferner nicht slope-adaptive.

Aufgabe der Erfindung ist es, hier Abhilfe zu schaffen und ein nach dem Delta-Modulations-Prinzip arbeitendes A/D-
20 Wandler-Verfahren zu schaffen, das ein hohes Signal/Rausch-Verhältnis bei relativ geringen Abtastraten und bei hoher Genauigkeit liefert, erhebliche Streuungen der Werte seiner Komponenten ohne größere Fehler im digitalen Ausgangssignal und ohne Instabilität des Kreises toleriert und
25 somit einen großen Stabilitätsbereich aufweist.

Diese Aufgabe wird bei einem Verfahren der eingangs genannten Art dadurch gelöst, daß das quantisierte Signal mittels einer periodischen Summenbildung digital integriert
30 griert wird, in ein Analogsignal gewandelt wird und zum Eingangssignal rückgekoppelt wird.

Eine Anordnung zur Durchführung des erfindungsgemäßen Verfahrens ist vorteilhafterweise gekennzeichnet durch ein
35 von einem aus analogem Eingangssignal und rückgekoppelten Signal gebildeten Differenzsignal beaufschlagtes Integra-

tions- und Verstärkungsglied, einen vom Integrations- und Verstärkungsglied beaufschlagten, n Quantisierungsstufen aufweisenden Quantisierer, ein vom Quantisierer beaufschlagtes Summationsregister und ein vom Summationsregister beaufschlagten, das Rückkopplungssignal abgebenden D/A-Wandler.

Ausgestaltungen der erfindungsgemäßen Anordnung sind in Unteransprüchen gekennzeichnet.

10

Mit Hilfe des erfindungsgemäß modifizierten Delta-Modulations-Kreises, der "slope-adaptive" arbeitet, einen Quantisierer und ein Summationsregister aufweist, gelingt es, die Genauigkeit der digitalen Entsprechung des Eingangssignals (Digital Estimate) zu verbessern. Der Slope-Adaptive-Kreis kann mit einem einzigen Takt betrieben werden und kann daher den gleichen Takt benutzen wie der gesamte Modulationskreis. Fehler im Quantisierer verursachen einen geringen Fehler im Wandler-Prozeß, wenn die Quantisierungsniveaus in der Nähe eines optimalen Punktes gewählt werden.

Das Summationsregister ist aus herkömmlichen digitalen Schaltkreisen und daher einfach und wirtschaftlich günstig herstellbar. Das Integrations- und Verstärkungsglied ist mittels eines oder mehrerer herkömmlicher Operationsverstärker realisierbar. Zur Konvertierung der digitalen Entsprechung des Eingangssignals im Summationsregister zu einem analogen Wert vor der Rückkopplung zum Integrations- und Verstärkungsglied ist lediglich ein Digital/Analog(D/A)-Wandler mit geringem Genauigkeitsgrad notwendig. Das digitale Ausgangssignal kann entweder vom Summationsregister oder vom Ausgang des Quantisierers erhalten werden. Es kann in an sich bekannter Weise zur Qualitätsverbesserung mit digitalen Filtern weiterverarbeitet werden, es kann aber auch direkt weiterverarbeitet werden.

Der erfindungsgemäße Slope-Adaptive-Kreis erhöht die Genauigkeit der digitalen Entsprechung (Digital Estimate) des Eingangssignals und löst somit die Aufgabe, die Abtastrate im Vergleich zu den aus dem Stand der Technik bekannten Modulatoren zu verringern und einen bestimmten Signal/Rausch-Pegel zu gewährleisten. Der Slope-Adaptive-Kreis besteht in einfacher Weise aus einem nach dem Parallel-Verfahren arbeitenden A/D-Konverter ("Flash"-A/D-Konverter) an sich bekannter Art, der den Ausgang des Integrations- und Verstärkungsgliedes quantisiert. Das Ausgangssignal dieses Quantisierers repräsentiert denn effektiv die Änderung des Eingangssignals seit der vorherigen Bewertung und somit dessen Steigung. Diese Information wird zum Summationsregister gegeben, um dessen Inhalt um die Größe dieser Änderung zu modifizieren.

In einem für Telefoniezwecke anwendbaren Ausführungsbeispiel der Erfindung sind die Quantisierungsniveaus des Quantisierers komprimiert (komprimiert). Sie entsprechen z. B. binären Teilverhältnissen der Referenzspannung. Das digitale Summationsregister und der D/A-Konverter sind so ausgeführt, daß jede Registerposition zu einem Spannungspegel des Quantisierers, der mit einem durch den Verstärkungsfaktor des Integrations- und Verstärkungsgliedes bestimmten Skalar multipliziert ist, korrespondiert (optimaler Punkt). Während jedes Zyklus wird eine binäre "1" zu einer einzelnen Bit-Position des Registers addiert oder subtrahiert, um dessen Inhalt zu modifizieren, wobei die Addition bzw. Subtraktion in an sich bekannter Weise durchgeführt werden kann.

In einem weiteren Ausführungsbeispiel der Erfindung wird ein linearer Quantisierer, ein Addierer und ein Register benutzt. Der Inhalt des Registers wird stets zu einem Eingang des Addierers rückgeführt. Der zweite Eingang

des Addierers ist mit dem (kodierten) Ausgang des Quantisierers verbunden. Auf diese Weise wird der Registerinhalt bei jedem Zyklus durch den Ausgang des Quantisierers modifiziert.

5

- Der Ausgang des Registers in beiden der oben genannten Ausführungsbeispiele wird zu einem Analogsignal gewandelt, wobei ein D/A-Wandler zur Anwendung kommt, der lediglich eine geringe Genauigkeit aufweisen muß. Es können z. B. D/A-Wandler mit Leiternetzwerk verwendet werden, wie sie z. B. aus U. Tietze, Ch. Schenk, Halbleiter-Schaltungstechnik, Springer-Verlag Berlin Heidelberg New York, 1980, Seiten 635 bis 638 bekannt sind. Dieses Ergebnis, d. h. die Ausgangssignale des D/A-Wandlers, werden schließlich am Eingang des Integrier- und Verstärkungsgliedes vom analogen Eingangssignal subtrahiert. Der Slope-Adaptive-Kreis verbessert in dieser Weise die Genauigkeit jeder digitalen Entsprechung des Eingangssignals (Digital Estimate) und verbessert so das Signal/Rausch-Verhältnis. Aus diesem Grunde wird weniger "Oversampling" (Abtastfrequenz größer als die doppelte zu verarbeitende Frequenz) und weniger anschließendes digitales Filtern benötigt, um den gewünschten Signal/Rausch-Pegel zu erreichen.
- 25 Ein weiteres Problem, das durch die Erfindung gelöst wird, ist die Vergrößerung des stabilen Bereiches in einem Delta-Modulations-Kreis mit zweifachem Integrator, da Systeme mit zweifacher Integration nach dem Stand der Technik sehr geringe Stabilitätsgebiete aufweisen. Die vorliegende Erfindung modifiziert die Operationsgleichungen des Modulators durch Hinzufügung eines Stabilisierungsterms. Diese Stabilisierung resultiert aus der Tatsache, daß der Ausgang des Integrations- und Verstärkungsgliedes nicht kontinuierlich integriert, sondern eher abgetastet
- 30
35

wird und nur an diskreten Zeitpunkten (bestimmt vom das Summationsregister beaufschlagenden Takt) summiert wird. Auf diese Weise wird der Modulatorkreis automatisch stabil.

5 Ein weiteres Problem, das die Erfindung löst, ist die langsame Antwort der meisten aus dem Stand der Technik bekannten Delta-Modulator-Systeme, die ein Integrations- und Verstärkungsglied im Eingangsteil bzw. in Vorwärtsrichtung verwenden. Da der Inhalt des Summationsregisters
10 bei jedem Zyklus entsprechend dem Wert des höchsten Quantisierungsniveaus des Quantisierers - falls benötigt - geändert werden kann, tritt eine Beschränkung der Antwortgeschwindigkeit bei der vorliegenden Erfindung nicht auf.

15 Die Erfindung wird im folgenden anhand der Figuren näher erläutert. Es zeigen:

Fig. 1 ein Blockdiagramm eines Delta-Modulators mit einem Slope-Adaptive-Kreis,

20 Fig. 2 ein Schaltbild eines Ausführungsbeispiels eines im Diagramm der Fig. 1 benutzten Integrations- und Verstärkungsgliedes,

Fig. 3 ein Schaltbild eines Ausführungsbeispiels für einen im Diagramm der Fig. 1 verwendeten Quantisierer,

25 Fig. 4 ein Schaltbild eines Ausführungsbeispiels eines im Diagramm der Fig. 1 verwendeten digitalen Summationsregisters,

Fig. 5 ein Diagramm der Übertragungsfunktion eines erfindungsgemäßen Wandlerkreises,

30 Fig. 6 ein Beispiel einer Signal/Rausch-Verhältnis-Kurve, die mit einem nach dem erfindungsgemäßen Verfahren arbeitenden Wandler erreicht wird und

Fig. 7 ein Beispiel einer Verstärkungsfehler-Kurve bei einem nach dem erfindungsgemäßen Verfahren arbeitenden Wandler.
35

10
-8-

VPA

81 P 1192 DE

In den Figuren sind gleiche Elemente mit gleichen Bezugszeichen versehen.

Die Fig. 1 zeigt ein Blockdiagramm eines Ausführungsbeispiels eines erfindungsgemäßen A/D-Wandlers 41. Der Schaltkreis 1 realisiert die Summation von Integration und Verstärkung der Differenz von analogen Eingangssignal 5 und Entsprechung des Eingangssignals (Estimate) 6. Der Quantisierer 2 konvertiert das analoge Ausgangssignal des Schaltkreises 1 zu einem digitalen Signal 8 von n Bit Breite, wobei $n > 1$ und wobei die Auflösung des Quantisierers 2 geringer als die gewünschte Auflösung des A/D-Wandlers 41 ist. Das Summationsregister 3 führt eine Addition oder Subtraktion des Ausgangs 8 des Quantisierers 2 zum bzw. von seinem Inhalt durch. Der Digital/Analog-Wandler 4 konvertiert das digitale, vom Ausgang 9 des Summationsregisters 3 kommende digitale Wort zu einem analogen Wert, der dem Eingang 6 des Schaltkreises 1 zugeführt wird.

20

Die Anordnung nach Fig. 1 arbeitet in der Weise, daß das analoge Eingangssignal 5 zum invertierten Analogwert 6 der letzten digitalen Entsprechung (Digital Estimate) des Eingangssignales addiert wird. Das Differenzsignal wird kontinuierlich integriert und verstärkt. Die Werte des integrierten Differenzsignals und des verstärkten Differenzsignals werden addiert. Dieser Prozeß kann in einfacher Weise mittels eines herkömmlichen Operationsverstärkers, der in einer üblichen Rückkopplungskonfiguration eine Serienschaltung eines Kondensators und eines Widerstandes aufweist, durchgeführt werden. Erfindungsgemäß wird die Zeitkonstante des Integrators so gewählt, daß sie maximal um 20 % vom Abtastintervall, das im allgemeinen durch den das Summationsregister 3 beaufschlagenden Takt bestimmt wird, abweicht. Vorzugsweise entspricht

35

11
-8-

VPA 81P 1192 DE

die Zeitkonstante des Integrators dem Abtastintervall.
Der Verstärkungsfaktor soll zwischen 1 und 2, vorzugsweise 1,2 bis 1,8 betragen, wobei der optimale Wert bei 1,5 liegt.

5

Ein Ausführungsbeispiel für die Realisation des Schaltkreises 1 der Fig. 1 ist in Fig. 2 gezeigt. Das analoge Eingangssignal 5 wird einem ersten Widerstand 11 zugeführt, während das invertierte "Estimate Signal" 6, das direkt vom D/A-Konverter 4 der Fig. 1 abgenommen wird, einem zweiten Widerstand 12 zugeführt wird. Die beiden Widerstände 11 und 12 weisen in etwa die gleiche Größe auf und führen effektiv eine Addition der Ströme der Signale 5 und 6 aus. Am Verbindungspunkt 13, an dem die nicht von den Signalen 5 bzw. 6 beaufschlagten Enden der Widerstände 11 und 12 verbunden sind, liegt also ein Signal an, das die Summe des Eingangssignals 5 und des invertierten "Estimate Signals" 6 repräsentiert. Der Verbindungspunkt 13 ist gleichzeitig mit dem negativen Eingang eines Operationsverstärkers 15 verbunden. Der Positiveingang 14 des Operationsverstärkers 15 ist mit Masse verbunden. Der Eingang 14 kann aber auch mit einem automatischen Nullpunktgleich verbunden sein, der eine Spannung vorsieht, die der Gleichstromkomponente des Signals 5 entspricht. Zwischen dem Ausgang 7 und dem Negativeingang 13 des Operationsverstärkers 15 ist eine Serienschaltung eines Rückkopplungswiderstandes 16 und eines Rückkopplungskondensators 17 angeordnet. Der Widerstand des Rückkopplungswiderstandes 16 ist um den Faktor 1 bis 2 größer als der der Widerstände 11 und 12 und dient der Verstärkungsfunktion. Der Rückkopplungskondensator 17 formt die Integrationsfunktion, deren Zeitkonstante durch die Werte der Widerstände 16 und 11 oder 12 bestimmt wird. Das Ausgangssignal 7 des Operationsverstärkers 15 ist dann invertiert, es repräsentiert aber einen integrierten und verstärkten Wert des am Negativeingang 13 anliegenden Signals.

12
-18-

VPA 81 P 1192 DE

Das Integrations- und Verstärkungsglied 1 der Fig. 1 kann auch auf andere Weise ausgeführt sein. So ist es z. B. möglich, separate Kreise zum Integrieren und zum Verstärken vorzusehen; und die Ausgangssignale dieser separaten
5 Kreise anschließend zu addieren, um die gewünschte Integrations- und Verstärkungsfunktion zu erhalten.

Der integrierte und verstärkte Wert des Differenzsignals wird dann quantisiert zu einem aus n möglichen digitalen
10 Werten. Dieser Wert ist eine ungefähre Messung der Änderung des Eingangssignals während der letzten Abtastperiode. Der Quantisierer 2 kann in beliebiger Weise ausgeführt sein. Aus Gründen der benötigten Geschwindigkeit wird vorzugsweise ein nach dem Parallel-Verfahren arbeitender
15 Quantisierer 2 verwendet. Es können z. B. $\frac{n-1}{2}$ Komparatoren verwendet werden, die mit unterschiedlichen positiven Spannungspegeln und mit "Null" als Referenzspannungen verbunden sind. In diesem Fall kann ein Absolutwertbildner benutzt werden, um den Eingang des Quantisierers immer
20 positiv zu halten. Es ist auch möglich, den Quantisierer 2 in MOS-Technologie auszuführen und mittels einer Switched-Capacitor-Technik nur eine positive Spannung im Quantisierer zu benutzen und die Polarität des Eingangssignals oder der Referenzspannungen vor den Komparatoren in
25 Abhängigkeit des Vorzeichens des Eingangssignals bzw. eines Vorzeichenkomparators zu ändern. Ein weiteres Ausführungsbeispiel ist der Gebrauch von n Komparatoren, deren Referenzspannungen sowohl positive als auch negative Pegel aufweisen.

30 Die Referenzspannungspegel im Quantisierer 2 müssen zu den Pegeln korrespondieren, die multipliziert mit einem Faktor β dem Digital-Code des Quantisierers 2 entsprechen. Aus Stabilitätsgründen wird der Faktor β durch die Verstärkung des Integrations- und Verstärkungsgliedes 1
35 mittels der Beziehung

$$\frac{A}{A-1} > B > \frac{A}{A+1},$$

- mit A: Verstärkungsfaktor des Integrations- und Verstärkungsgliedes 1,
- B: reziproker Verstärkungsfaktor des Quantisierers 2, bestimmt. Bei A = 1,5 liegt der Optimalwert des reziproken Verstärkungsfaktor B des Quantisierers 2 bei 1,5.
- 10 Die Fig. 3 zeigt das Schaltbild eines Ausführungsbeispiels einer möglichen Ausführung des Quantisierers 2. Es besteht aus Komparatoren 24 $a_0 - a_n$ und a'_1 bis a'_n , Widerständen 23 $R_1 - R_n$ und R'_1 bis R'_n , positiven und negativen Referenzspannungen 21 und 22 und einer Dekodierlogik 25. Die
- 15 Komparatoren 24 und die die Referenzspannungen bildenden Widerstände 23 sind in bekannter Weise entsprechend dem Parallelverfahren in Serie geschaltet. In diesem Ausführungsbeispiel sind die Widerstände R_i gleich den Widerständen R'_i und die Komparatoren 24 identisch ausgeführt.
- 20 Will man komprimierte Pegel realisieren, so können die Widerstände 23, z. B. in der Weise bemessen sein, daß $R_i = 1/2 R_{i+1}$ beträgt.

Die Dekodierlogik 25 gibt dann den Wert einer binären "1" auf eine der n Ausgangsleitungen 8 und den Wert einer binären "Null" auf die übrigen Ausgangsleitungen 8 (oder einer kodierte Form davon), in Abhängigkeit des Pegels des Eingangssignals 7.

- 30 Die Dekodierlogik 25 kann als üblicher Prioritätsdekoder ausgeführt sein.

Ein weiteres Ausführungsbeispiel dimensioniert die Widerstände 23 so, daß $R_i = R_{i+1}$ beträgt, wobei ein linearer

35 Quantisierer erhalten wird. Die Dekodierlogik 25 muß

dann ein digitales Wort am Ausgang 8 erzeugen, das den Pegel des Eingangs 7 repräsentiert. Die Verbindungsleitung 20 in Fig. 3 ist mit Masse verbunden, der Komparator a_0 dient zur Ermittlung des Vorzeichens des am Punkt 7 anliegenden Signals. Schaltet man zwischen Eingang 7 und den Eingängen der Komparatoren $a_1 - a_n$ einen Absolutwertbilder, so werden lediglich die Widerstände R_1 bis R_n , die Komparatoren a_0 bis a_n und eine positive Referenzspannung 21 benötigt.

10

Weitere Möglichkeiten der Realisierung eines nach dem Parallelverfahren arbeitenden Quantisierers 2 sind beispielsweise aus "Elektronik", 1975, H. 11, Seiten 86 bis 87 oder aus U. Tietze, Ch. Schenk, Halbleiter-Schaltungstechnik, Springer-Verlag, Berlin Heidelberg New York, 1980, Seiten 649 bis 657 bekannt.

15

Der Ausgangscode des Quantisierers 2 beaufschlagt anschließend das digitale Summationsregister 3.

20

Das Summationsregister 3 kann als Auf/Abwärtszähler, der den Zählvorgang an jeder Bitstelle beginnen kann, ausgeführt sein, wenn ein Quantisierer 2 mit binär gewichteten oder in anderer Weise kompartiellen Quantisierungsniveaus verwendet wird. Wird ein Quantisierer 2 verwendet, dessen Quantisierungsniveau linear gewichtet sind, so wird vorteilhafterweise ein paralleler Volladdierer verwendendes Summationsregister 3 vorgesehen.

25

Das in der Fig. 4 gezeigte Blockdiagramm eines Ausführungsbeispiels eines Summationsregisters 3 besteht aus einem Volladdierer (Paralleladdierer) 31 und einem digitalen Register 33 mit einer Bitbreite von N , wobei N im allgemeinen gleich $n+2$ oder $n+3$ beträgt, mit n = Anzahl der Quantisierungsstufen des Quantisierers 2 bzw. der Ausgänge 8 des Quantisierers 2. Der Ausgang 9 des Registers 33 ist

30

35

75
-13-

VPA 81 P 1192 DE

zu einem der Eingänge des Addierers 31 rückgeführt. Der andere Eingang des Addierers 31 ist mit dem Ausgang 8 der Dekodierlogik 25 der Fig. 3 verbunden. Der neue Wert für das Register 33 erscheint auf dem Ausgang des Addierers 31 mit dem Eingang des Registers 33 verbindenden N Bit breiten Leitung 32 und wird alle T Sekunden im Register 33 mittels des, das Register 33 beaufschlagenden Taktsignals 34 abgespeichert. T ist die Abtastzeit des gesamten Modulatorkreises, da, vom Register 33 abgesehen, alle weiteren Komponenten des Modulatorkreises nicht takt-gesteuert sind. Die Werte im Register 33 können entweder in Vorzeichen-Betrags-Darstellung (Sign-Magnitude) oder im Zweier-Komplement-Code abgespeichert werden, in Abhängigkeit der Strukturen der Dekodierlogik 25 der Fig. 3, des Paralleladdierers 31 und des D/A-Konverters 4 der Fig. 1. Ferner ist es möglich, den Schaltkreis der Fig. 4 in Verbindung mit einem komprimierenden Quantisierer als modifizierten Aufwärts/Abwärts-Zähler auszuführen, wie beispielsweise aus T.A. Last, Rev. Sci. Instrum., 51(3), Mar. 1980, Seiten 369 bis 374 bekannt ist.

Das Summationsregister 3 speichert jeden neuen digitalen Entsprechungswert des Eingangssignals. Sein Inhalt wird zu einer analogen Spannung durch einen nur eine geringe Genauigkeit aufweisenden D/A-Konverter 4 gewandelt. Simulationen und Experimente haben gezeigt, daß ein 2%-Fehler im D/A-Wandler 4 einen Verstärkungsfehler von weniger als 0,15 dB über einen Eingangsamplitudenbereich von 80 dB verursacht. Der analoge Ausgang 6 des D/A-Wandlers 4, der bei üblichen D/A-Wandlern bereits in invertierter Form vorliegt, wird vom Eingangssignal 4 subtrahiert und der Modulatorkreis somit vervollständigt.

Die weiterzuverarbeitende digitale Entsprechung des Eingangssignals kann direkt am Ausgang 9 des Registers 32,

16
-14-

VPA 81 P 1192 DE

bzw. des Summationsregisters 3, abgenommen werden. Es ist aber auch möglich, diese digitale Entsprechung in einfacher aber kodierter Form am Ausgang 8 des Quantisierers 2 zu entnehmen. Beide Ausgänge können zur Verbesserung der Genauigkeit und zur Verringerung des Quantisierungsrauschens mittels digitaler Filter weiterverarbeitet werden. Die Filter können in herkömmlicher Form, beispielsweise in Transversal- und Rekursivform, hergestellt sein.

10 Die Übertragungsfunktion des Modulators 14 lautet wie folgt:

$$15 \quad \left| \frac{V_{out}}{V_{in}} \right| = \frac{\omega \frac{T}{\pi}}{\sin \omega \frac{T}{\pi}} \sqrt{\frac{\left(\frac{R_{16}}{R_{11}} + \frac{1}{2} \right)^2 + \left(\frac{T}{2} \frac{R_{16}}{R_{11}} \omega - \frac{1}{\omega R_{11} C_{17}} \right)^2}{\left(\frac{R_{16}}{R_{11}} + \frac{1}{2} \right)^2 + \left(\frac{T}{2} \frac{R_{16}}{R_{11}} \omega - \frac{1}{\omega R_{11} C_{17}} + \frac{(\omega T)^2}{\pi^2 \beta \sin \omega T} \right)^2}}$$

mit

V_{out} = Ausgangsspannung

V_{in} = Eingangsspannung

T = Abtastperiode

20 R_{11} , R_{16} , C_{17} = Werte der Widerstände 11 und 16, bzw. des Kondensators 17 der Fig. 2,

β = reziproker Verstärkungsfaktor des Quantisierers 2.

Die Fig. 5 zeigt eine typische Übertragungskurve 42 des Modulators 41. Die Kurve 42 zeigt eine geringe Verstärkung bei geringen Frequenzen und eine Null-Stelle bei der Abtastfrequenz 43.

Die Fig. 6 zeigt eine typische Signal/Rausch-Kurve 44 eines erfindungsgemäß ausgeführten A/D-Wandlers als Funktion der Eingangsamplitude 45, wobei der D/A-Wandler 4 2 % Fehler aufweist und eine übliche digitale Filterung mit einem Down-Sampling-Filter auf 8 kHz vorgenommen wurde. Diese Kurve betrifft einen Modulator mit einer Eingangsfrequenz von 811 Hz, einer Abtastfrequenz von 128 kHz,

77
-15-

VPA

81 P 1192 DE

einer Vorwärtsverstärkung des Integrations- und Verstärkungsgliedes 1 von 1,5, einer Integrationszeitkonstante des Gliedes 1 von 8 μ s, einem komparierten Quantisierer mit insgesamt 17 Referenzspannungsniveaus ($n = 8$) und
5 einem Verstärkungsfaktor von 0,7, wobei 3 dB in der Figur Vollaussteuerung entspricht.

Die Fig. 7 zeigt für das gleiche, die Fig. 6 betreffende Ausführungsbeispiel eine typische Verstärkungsfaktor-
10 Fehler-Kurve 46 als Funktion der Eingangsamplitude 45.

In einem weiteren Ausführungsbeispiel für einen erfindungsgemäßen A/D-Wandler betrug die Zeitkonstante des Integrations- und Verstärkungsgliedes 7,8 μ s, seine Vorwärtsver-
15 stärkung 1,5, der Verstärkungsfaktor des Quantisierers 2 betrug 0,67, der Quantisierer 2 wies einen Vorzeichenkomparator und 8 bzw. 9 bipolare Komparatoren auf, deren Referenzspannungen binär gewichtet waren. Das Summationsregister 3 war 10 Bit bzw. 12 Bit und ein Vorzeichenbit
20 breit, die Abtastrate betrug 128 kHz.

Allgemein ist es von Vorteil, die Zeitkonstante des Integrations- und Verstärkungsgliedes 1 im Bereich von $\pm 20\%$ der Abtastrate T und die Verstärkung des Integrations-
25 und Verstärkungsgliedes 1 im Bereich zwischen 1,2 und 1,8 zu wählen. Vorteilhafte Werte für den Verstärkungsfaktor $1/B$ des Quantisierers 2 sind 0,5 bis 1, der Quantisierer 2 enthält vorteilhafterweise einen Vorzeichenkomparator, 7 bis 9 Komparatoren, deren Referenzspannungen binär
30 gewichtet und bipolar (positiv oder negativ) sind, das Summationsregister 3 9 bis 13 Bits und ein Vorzeichenbit. Die Abtastfrequenz ($1/T$) kann z. B. im Bereich zwischen 100 kHz bis 2 MHz gewählt werden.

Der erfindungsgemäße A/D-Wandler, der als Modulationskreis mit einer zweifachen Integration gestaltet ist, wobei die erste Integration über die Differenz von Eingangssignal und "Estimate"-Signal durchgeführt wird und analog
5 ist, während die zweite Integration digital ist und mittels periodischer Summation des digitalisierten Ausgangs des ersten analogen Integrators durchgeführt wird, kann auch als Sigma-Delta-Sigma-Modulator bezeichnet werden. Die Anzahl der möglichen digitalen Entsprechungen
10 des Eingangssignals (Digital Estimate) der vorliegenden Erfindung beträgt in etwa 2^N , wobei $N > n$ um typischerweise 2 oder 3, da das Summationsregister 3 typischerweise 2 bis 3 Bit breiter ist als die Anzahl der Quantisierungsniveaus n . Dies verbessert die Signal/Rausch-Qualität
15 eines erfindungsgemäßen A/D-Wandlers erheblich im Vergleich zum Stand der Technik.

7 Figuren

11 Patentansprüche

1/3

81 P 1 1 9 2 DE

FIG 1

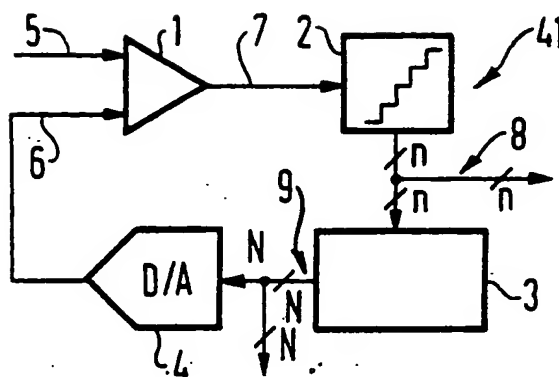


FIG 2

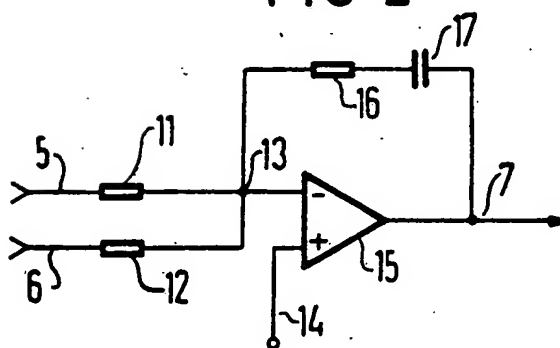


FIG 3

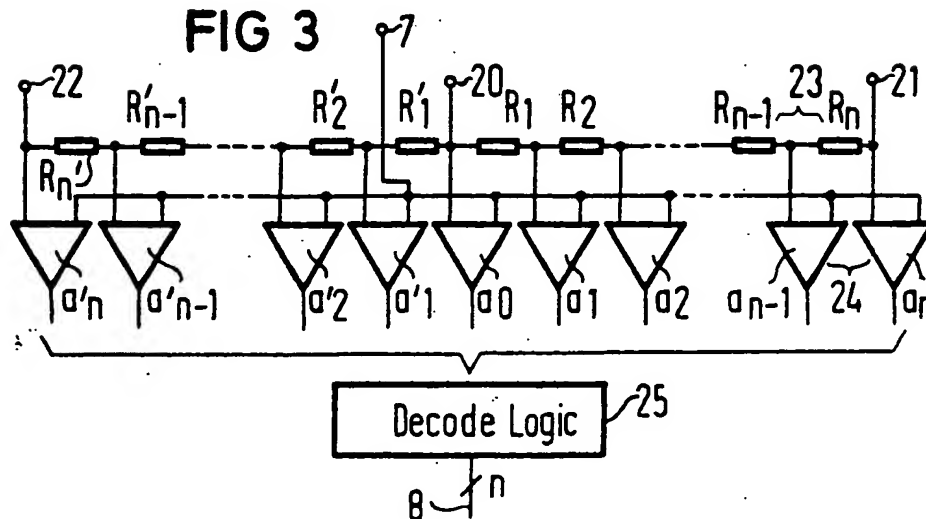


FIG 4

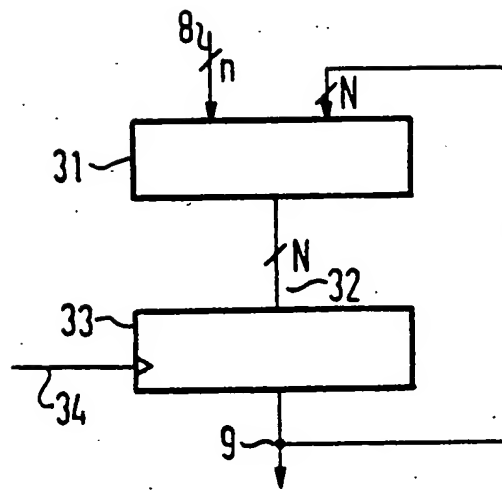
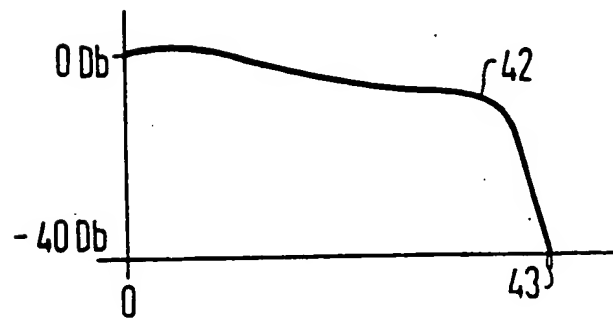
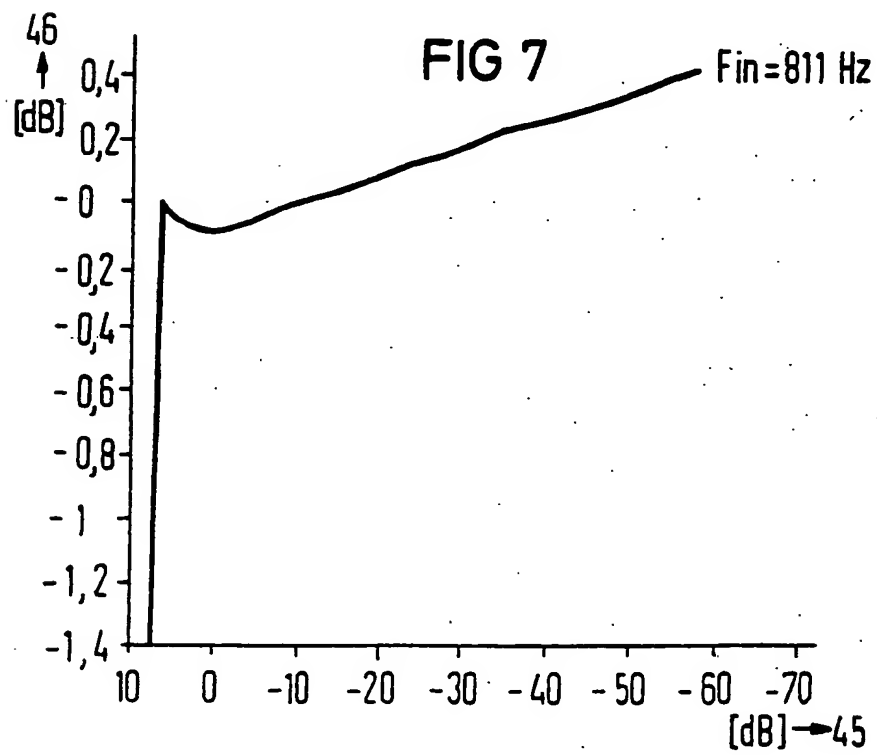
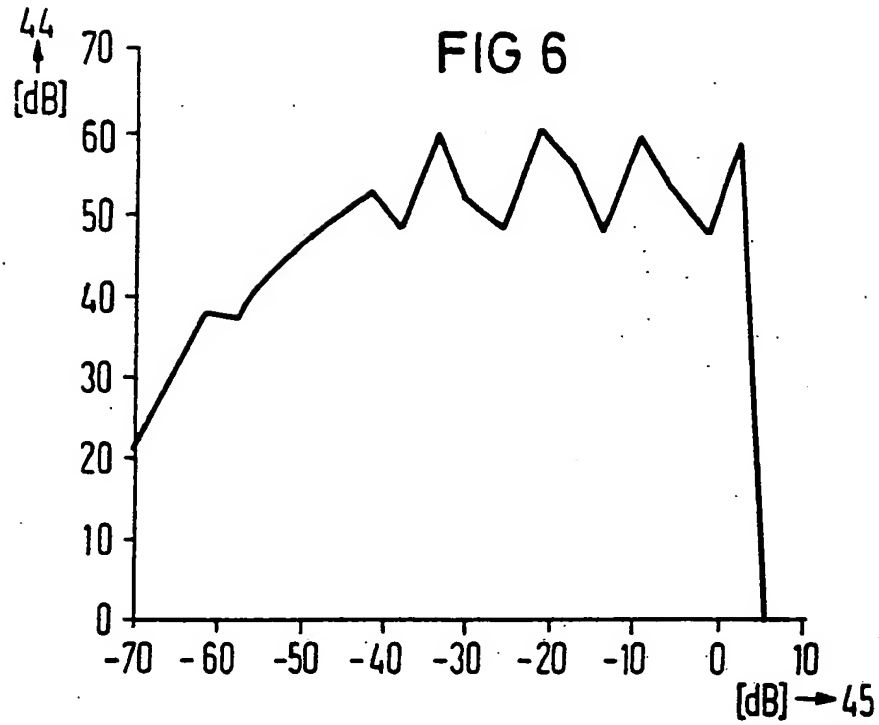


FIG 5





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED~~ TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ ~~GRAY~~ SCALE DOCUMENTS
- ☐ ~~LINES~~ OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.